

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216366

(43)Date of publication of application : 04.08.2000

(51)Int.CI.

H01L 27/12
H01L 21/3065

(21)Application number : 11-016048

(71)Applicant : KOMATSU ELECTRONIC METALS CO LTD

(22)Date of filing : 25.01.1999

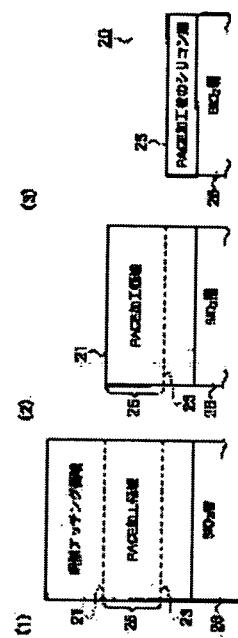
(72)Inventor : KATO HIROTAKA
NONAKA SHUNJI

(54) PRODUCTION OF SOI WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress surface fluctuation of an SOI wafer by setting a margin for PACE (vapor phase plasma etching) corresponding to the minimum film thickness standard deviation required for the silicon surface, polishing the surface up to the margin thus set and subjecting the margin to PACE thereby producing a thin film SOI wafer.

SOLUTION: A silicon wafer coated with an oxide film 26 is set with a margin 25 for PACE. More specifically, film thickness required for silicon surface 23 subjected to PACE is set at $1 \mu m$, the minimum film thickness standard deviation is set within $0.3 \mu m$, and the margin 25 for PACE is set at about $5 \mu m$ or less. After the surface is polished or etched up to the margin 25, the silicon wafer on the oxide film 26 is thinned on the order of about $1 \mu m$ thus producing an SOI wafer 20. According to the method, surface fluctuation of the SOI wafer 20 can be suppressed within the required film thickness standard deviation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-216366

(P 2 0 0 0 - 2 1 6 3 6 6 A)

(43) 公開日 平成12年8月4日(2000.8.4)

(51) Int. Cl. 7

H01L 27/12

21/3065

識別記号

F I

H01L 27/12

21/302

マークコード (参考)

B 5F004

A

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平11-16048

(22) 出願日

平成11年1月25日(1999.1.25)

(71) 出願人 000184713

コマツ電子金属株式会社

神奈川県平塚市四之宮2612番地

(72) 発明者 加藤 裕孝

宮崎県宮崎郡清武町大字木原1112 コマツ
電子金属株式会社宮崎工場内

(72) 発明者 野中 俊次

宮崎県宮崎郡清武町大字木原1112 コマツ
電子金属株式会社宮崎工場内

(74) 代理人 100091306

弁理士 村上 友一 (外2名)

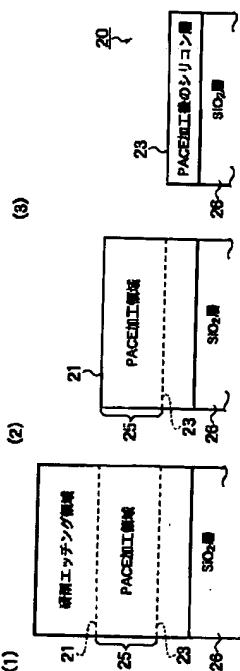
F ターム(参考) 5F004 AA01 AA16 BA20 DB01 EB08

(54) 【発明の名称】 S O I ウエハの製造方法

(57) 【要約】

【課題】 要求される最低膜厚標準偏差を満たした加工精度の高いS O I ウエハの製造方法を提供する。

【解決手段】 二枚のシリコンウエハ22, 24の一方を酸化させて酸化膜26で表面を覆い、それぞれのシリコンウエハ22, 24を貼り合わせて、PACE加工の取りしろとPACE加工後のシリコン表面の膜厚標準偏差との関係特性を求め、当該関係特性からPACE加工したシリコン表面23に要求される最低膜厚標準偏差に対応するPACE加工の取りしろ25を設定して、当該取りしろ表面21まで研磨またはエッティングした後に、前記取りしろ21をPACE加工して、薄膜のS O I ウエハ20を製造する。



【特許請求の範囲】

【請求項1】二枚のシリコンウエハの一方を酸化させて酸化膜で表面を覆い、それぞれのシリコンウエハを貼り合わせて、PACE加工の取りしろとPACE加工後のシリコン表面の膜厚標準偏差との関係特性を求め、当該関係特性からPACE加工したシリコン表面に要求される最低膜厚標準偏差に対応するPACE加工の取りしろを設定して、当該取りしろ表面まで研磨またはエッチングした後に、前記取りしろをPACE加工して薄膜のSOIウエハを製造することを特徴とするPACE加工を用いたSOIウエハの製造方法。

【請求項2】PACE加工による前記取りしろを1～3μmとすることを特徴とする請求項1に記載のSOIウエハの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は気相プラズマによるエッチングであるPACE (plasma assisted chemical etching) 加工を用いたSOIウエハの製造方法に係り、特にPACE加工を用いてSOIウエハの表面を薄膜化するSOIウエハの製造方法に関する。.

【0002】

【従来の技術】ウエハの製造工程の中に、ウエハを所定の膜厚まで研磨加工させる工程がある。例えば、SOIウエハの場合について述べる。通常、SOIウエハ (silicon on insulator) の製造はウエハを貼り合わせることにより行われる。すなわち、2枚のシリコンウエハのうち、少なくとも一つの表面上に酸化膜を形成させた後に、2枚のシリコンウエハを清浄な条件下で接触させる。すると、接着剤等を用いなくてもウエハ同士は接着する。そして、接合したウエハに熱処理を加えると、ウエハ同士が強固に結合する。そして、酸化膜を形成したウエハを研磨またはエッチングして薄膜化することにより、SOIウエハの製造を行なっていた。

【0003】ところが、デバイスの高精度化、高速度化に伴い、SOIウエハの薄膜化の要請がますます強まっており、特に膜厚1μm以下といった極薄のSOIウエハが要求されるようになっている。このようなSOIウエハにおいては、SOIウエハの膜厚表面の均一性が問題となってくる。例えば、Bipolar用やBiCMOS用におけるSOIウエハの膜厚公差は0.1μm以下のものが要求されている。このとき、面内厚みのばらつきを示すSOI膜厚の標準偏差は、250オングストローム以下(0.25μm以下)となることが望まれる。このような極薄のSOIウエハを製造する方法として、この貼り合わせウエハの上面を機械加工あるいは化学反応によって研磨した後、PACE (plasma assisted chemical etching)

g)と呼ばれるプラズマエッティング(その詳細は、特開平5-160074号公報に開示されている)によつて、SOI層の厚さが1μm以下の厚さになるまでエッティングし、極薄のSOIウエハを製造していた。

【0004】

【発明が解決しようとする課題】ところが、従来においては、研磨やエッティングとPACE加工とを切り替える膜厚は任意に設定しており、仕上げられたSOIウエハの膜厚のはらつきはそれぞれのSOIウエハごとに異なり、要求される最低膜厚標準偏差を満たすSOIウエハの製造方法が強く望まれていた。本発明は、前記従来技術の欠点を解消するためになされたもので、要求される最低膜厚標準偏差を満たした加工精度の高いSOIウエハの製造方法を提供する。

【0005】

【課題を解決するための手段】従来は、PACE加工する膜厚とPACE後のウエハ表面の膜厚標準偏差との間には、特段の関係があるとは考えられていなかった。ところが、PACE加工するエッティング量(取りしろ)とPACE後のウエハ表面の膜厚標準偏差との関係特性を求めてみると、両者の間には比例関係が存在することがわかった。

【0006】本発明に係るPACE加工を用いたSOIウエハの製造方法においては、PACE加工の取りしろとPACE加工後のシリコン表面の膜厚標準偏差との関係特性を求め、当該関係特性からPACE加工したシリコン表面に要求される最低膜厚標準偏差に対応するPACE加工の取りしろを設定して、当該取りしろ表面まで研磨またはエッティングした後に、前記取りしろをPACE加工して薄膜のSOIウエハを製造する構成とした。これにより、要求される膜厚標準偏差内にSOIウエハ表面のばらつきを抑えることができ、加工精度の高いSOIウエハを製造することができる。

【0007】また、PACE加工によるエッティング取りしろを1～3μmとする構成とした。これにより、PACE加工後のシリコン表面の膜厚標準偏差値を250オングストローム以下とする事ができ、加工精度の高いSOIウエハを製造することができる。

【0008】

【発明の実施の形態】本発明の実施形態を添付した図面に従つて詳細に説明する。本実施形態においては、シリコンウエハを貼り合わせて製造するSOI (silicon on insulator) ウエハを、PACE (plasma assisted chemical etching) 加工して薄膜化させる場合について説明する。

【0009】本実施形態におけるSOIウエハの製造手順は以下のようになる。図3に貼り合わせ工程を用いたSOIウエハ20製造のフローを示す。まず、図3(a)に示すように、2枚のシリコンウエハ22, 24

を用意し、そのうちの一方のシリコンウエハ24を酸化させて、当該シリコンウエハ24の表面を酸化膜26で覆わせる。酸化膜26に覆われた前記シリコンウエハ24と、もうひとつのシリコンウエハ22とを、図3(b)に示すように貼り合わせて、2枚のシリコンウエハ22、24を接合させる。なお、通常はシリコンウエハ22、24同士の接合を強化するために、接合する表面に熱処理を行なわせることが一般的である。

【0010】そして、詳細は後述するが、図3(c)、図3(d)に示すようにシリコンウエハ24を研磨やエッティングした後に、図3(e)に示すようにシリコンウエハ24をPACE加工して酸化膜26上のシリコンウエハ24を例えれば1μm程度まで薄膜化する。

【0011】本発明者は、酸化膜上のシリコンのPACE加工取りしろと、PACE加工したシリコン表面の膜厚標準偏差との関係特性を調べるために次のような実験を行なった。まず、前段階として直径150mmのウエハを準備し、SOIウエハを作成した。SOIの厚みは、研磨やエッティングにより2.5μmから5μmまでのSOIウエハを準備した。これらのSOIウエハに、酸化膜からの膜厚1μmのシリコン面までPACE加工を行なった。そして、PACE加工後のSOIウエハ全面に対して、光干渉の分光解析により、酸化膜上のシリコンにおける膜厚分布の標準偏差値を測定した。

【0012】図2は酸化膜上のシリコンのPACE加工による取りしろと、PACE加工したシリコン表面の膜厚標準偏差との関係特性を示す特性図である。特性図中の黒丸は、実験により得られた測定値である。この特性図に示されているように、PACE加工する取りしろを大きくすると、PACE加工したシリコン表面の膜厚標準偏差も大きくなる。従って、PACE加工後のシリコン表面に要求される最低膜厚標準偏差により前記特性図からPACE加工の取りしろを設定して、PACE加工の取りしろ表面まで研磨やエッティングした後に、前記取りしろをPACE加工させることにより、要求される最低膜厚標準偏差を満たした薄膜のSOIウエハを製造することができる。また、PACE加工による取りしろを1~3μmとすることで、面内厚みばらつきを示すSOI膜厚の標準偏差値を250オングストローム以下の高精度に加工することができる。

【0013】従って、本実施形態においては、SOIウエハ20の薄膜化を以下のように行なう。まず、酸化膜26で覆われたシリコンウエハ24に対して、上記した特性図によりPACE加工する取りしろを設定する。すなわち、図1(1)に示すように、例えば、PACE加工後のシリコン面23に要求される膜厚が1μm、最低膜厚標準偏差が0.3μm以内であれば、前記特性図によりPACE加工の取りしろ25を約5μm以下に設定する。そして、図3(d)や図1(2)に示すように取りしろ25表面まで研磨やエッティングする。そして、図

3(e)や図1(3)に示すように、シリコンの取りしろ25をPACE加工し、酸化膜26上のシリコンウエハ24を1μm程度まで薄膜化したSOIウエハ20を製造する。なお、上記した実験においては、PACE加工におけるシリコン層に対するプラズマエッチングは一回で行なった。

【0014】そして、図3(f)に示すように、PACE加工したSOIウエハ20表面に、ポリシングを行なって不純物の除去などを行なうことにより、SOIウエハ20の製造工程は終了する。このように、本実施形態におけるSOIウエハの製造方法においては、SOIウエハの表面の膜厚標準偏差を要求される一定範囲内に抑えて、加工精度の高いSOIウエハを製造することができる。

【0015】なお、本実施形態についてはシリコンウエハを貼り合わせてSOIウエハを製造する場合について説明したが、本発明の実施範囲はこれに限られるものではなく、PACE加工を使用していれば、薄膜化させる材質も、シリコンに限られるものではない。また、関係特性を示すものとしては、図面にかぎらず、表やデータなどでもよい。

【0016】

【発明の効果】以上説明したように、本発明のSOIウエハ製造方法においては、PACE加工の取りしろとPACE加工後のSOIウエハ表面の膜厚標準偏差との関係特性を求める、当該関係特性からPACE加工したSOIウエハ表面に要求される最低膜厚標準偏差に対応するPACE加工の取りしろを設定して、当該取りしろ表面まで研磨またはエッティングした後に、前記取りしろをPACE加工することにより、最低膜厚標準偏差を満たした加工精度の高いウエハを製造することができる。また、本発明のSOIウエハの製造方法においては、要求される膜厚標準偏差内にSOIウエハ表面のばらつきを抑えることができ、加工精度の高いSOIウエハを製造することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態におけるPACE加工を用いたSOIウエハ製造工程の要部説明図である。

【図2】 PACE加工により削り込む酸化膜上のシリコン膜厚とPACE加工により削り込んだシリコン表面の膜厚標準偏差との関係を示す特性図である。

【図3】 本発明の実施形態におけるSOIウエハ製造工程のフローである。

【符号の説明】

20 SOIウエハ

21 取りしろ表面

22 シリコンウエハ

23 PACE加工後のシリコン面

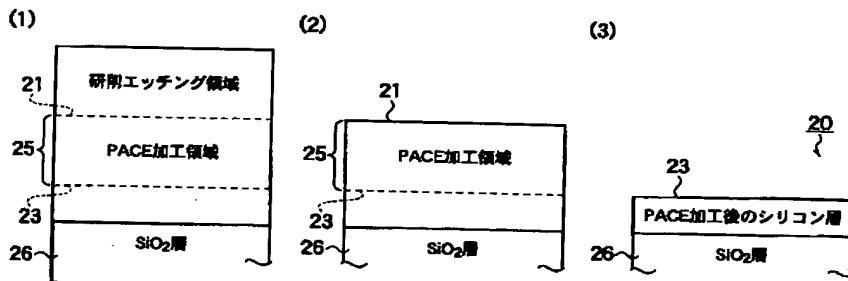
24 シリコンウエハ

25 PACE加工による取りしろ

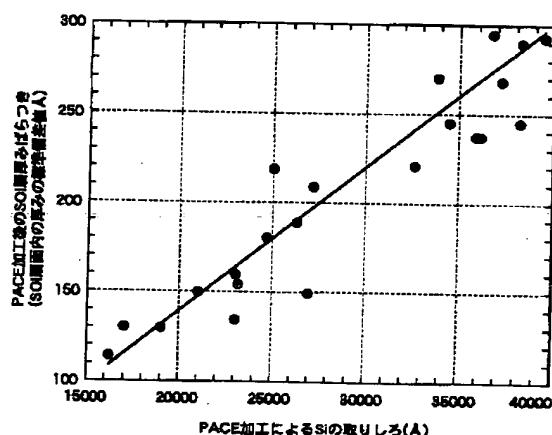
26 酸化膜

5

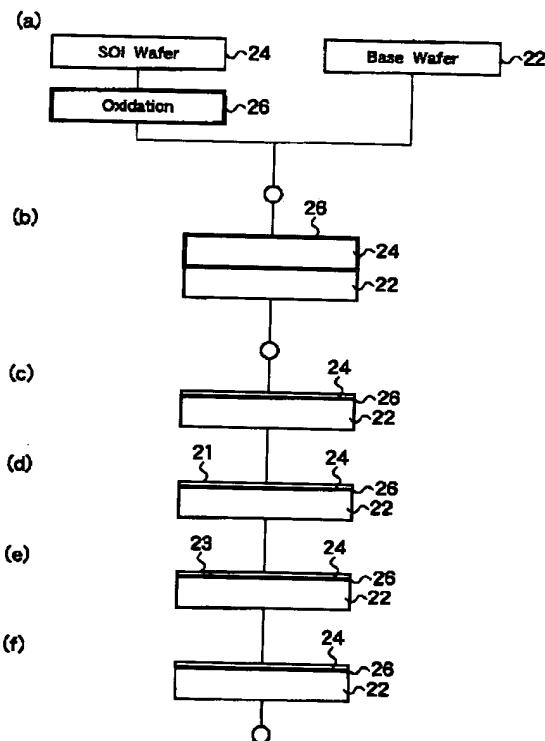
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成11年2月3日(1999.2.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】ところが、デバイスの高精度化、高速度化に伴い、SOIウエハの薄膜化の要請がますます強まつ

ており、特に膜厚 $1\text{ }\mu\text{m}$ 以下といった極薄のSOIウエハが要求されるようになっている。このようなSOIウエハにおいては、SOIウエハの膜厚表面の均一性が問題となってくる。例えば、Bipolar用やBiCMOS用におけるSOIウエハの膜厚公差は $0.1\text{ }\mu\text{m}$ 以下のものが要求されている。このとき、面内厚みのばらつきを示すSOI膜厚の標準偏差は、 250 オングストローム以下 ($0.025\text{ }\mu\text{m}$ 以下) となることが望まれ

る。このような極薄のSOIウエハを製造する方法として、この貼り合わせウエハの上面を機械加工あるいは化学反応によって研磨した後、PACE (plasma assisted chemical etching) と呼ばれるプラズマエッティング（その詳細は、特開平5-160074号公報に開示されている）によって、SOI層の厚さが $1\mu\text{m}$ 以下の厚さになるまでエッティングし、極薄のSOIウエハを製造していた。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】従って、本実施形態においては、SOIウエハ20の薄膜化を以下のように行なう。まず、酸化膜

26で覆われたシリコンウエハ24に対して、上記した特性図によりPACE加工する取りしろを設定する。すなわち、図1(1)に示すように、例えば、PACE加工後のシリコン面23に要求される膜厚が $1\mu\text{m}$ 、最低膜厚標準偏差が $0.03\mu\text{m}$ 以内であれば、前記特性図によりPACE加工の取りしろ25を約 $4\mu\text{m}$ 以下に設定する。そして、図3(d)や図1(2)に示すように取りしろ25表面まで研磨やエッティングする。そして、図3(e)や図1(3)に示すように、シリコンの取りしろ25をPACE加工し、酸化膜26上のシリコンウエハ24を $1\mu\text{m}$ 程度まで薄膜化したSOIウエハ20を製造する。なお、上記した実験においては、PACE加工におけるシリコン層に対するプラズマエッティングは一回で行なった。